



T.C.

BANDIRMA ONYEDİ EYLÜL ÜNİVERSİTESİ

MÜHENDİSLİK VE DOĞA BİLİMLERİ FAKÜLTESİ

ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ

ELEKTRONİK LABORATUVARI

Emirhan YILMAZ 2411506010

Arş. Gör. Yusuf Batuhan EVCEK

1.PROJENİN AMACI

Bu projenin temel amacı dijital elektroniğin temel yapı taşlarından biri olan VE(AND) mantık kapısının yalnızca pn-eklem diyotlar ve pasif bir direnç kullanılarak tasarlanmaktadır. Tasarlanan bu devrenin dijital simülasyon ortamında (LTspice) çalıştırılarak “transient”(zaman) analizi üzerinden giriş-çıkış sinyallerinin incelenmesi hedeflenmiştir. Ayrıca diyot tabanlı mantık devrelerinin teorik ideal durumlar ile pratik uygulamalar arasındaki farklarının (özellik iletim gerilim kayıplarının) gözlemlenmesi amaçlanmaktadır .

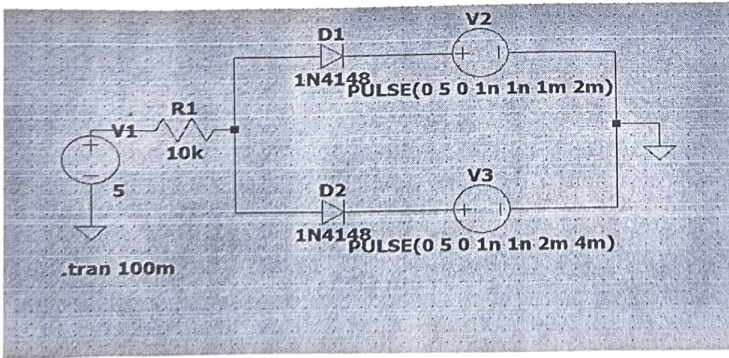
2.ŞEMATİK TASARIM VE TEORİK ALTYAPI

Devrede, her bir giriş sinyalini (A ve B) temsil etmek üzere katotları giriş yönünde , anotları ise ortak bir çıkış düğümünde birleşerek şekilde iki adet 1N4148 sinyal diyodu kullanılmıştır. Bu ortak ortak anot düğümü , 5V DC besleme gerilimine (Vcc) 10k ohm değerinde bir pull-up (yukarı çekme) direnci ile bağlanmıştır. Çıkış sinyali (Vout) , diyotları ile bu direncin birleştiği noktadan alınmaktadır.

3. DEVRELERİN ÇALIŞMA TEORİSİ

Girişlerden en az birinin 0V olması durumu : ilgili diyot ileri yönde kutuplanır ve iletime geçer. Akım , pull-up direnci üzerinden diyota ve oradan toprağa(GND) akar . Direnç üzerinde bir gerilim düşümü meydana gelir .

Girişlerin her ikisinin de mantık 1 (5V) olması durumu : her iki diyotun da hem anot hem katot tarafında 5V potansiyel bulunur. Potansiyel fark sıfır olduğu için diyotlar kesime (off durumuna) gider . Devreden akım akmaz , direnç üzerinde gerilim düşmez ve çıkış doğrudan Vcc (5V) seviyesine çekilir .



4. SİMÜLASYON VE ZAMAN(TRANSİENT) ANALİZİ

Tasarımın mantıksal doğrulamasını yapmak için LTspice ortamında Transient analiz gerçekleştirilmiştir. Devrenin tüm olası giriş kombinasyonlarını (00, 01, 10, 11) zaman ekseninde gözlemleyebilmek için A ve B girişlerine (V2 ve V3 kaynakları) sırasıyla 2ms ve 4ms periyotlara sahip PULSE kare dalga sinyalleri uygulanmıştır.

Elde edilen giriş-çıkış değerleri aşağıdaki doğruluk tablosunda özetlenmiştir:

	A	B	C	D	E
1	A Girişi (V2)	B Girişi (V3)	Teorik AND Çıktı	Gözlemlenen Çıkış (Vout)	
2	0V	0V		0 ~ 0.7V	
3	0V	5V		0 ~ 0.7V	
4	5V	0V		0 ~ 0.7V	
5	5V	5V		1 5.0V	

Simülasyon grafiklerinde, girişlerin her ikisinin de 5V olduğu "High" periyotlarında çıkışın kayıpsız olarak 5V olduğu net bir şekilde görülmüştür.

SONUÇ VE DEĞERLENDİRME

Bu proje sonucunda, teorik olarak kâğıt üzerinde tasarlanan bir mantık kapısının simülasyon ortamında fiziksel gerçekliklerle nasıl yüzleştiği öğrenilmiştir. Projeden çıkarılan temel değerlendirmeler şunlardır:

Pull-up Direncinin Önemi: Devrede kullanılan 10k Ω 'luk direncin, girişler 0V olduğunda kısa devreyi önlemek için akımı sınırladığı ve girişler 5V olduğunda çıkışı güvenli bir şekilde lojik 1 seviyesine "çektirdiği" uygulamalı olarak tecrübe edilmiştir.

Gerilim Kaybı (Voltage Drop) Handikabı: Girişlerden birinin veya ikisinin 0V olduğu durumlarda, teorik olarak çıkışın 0V olması beklenirken, simülasyon sonuçlarında çıkışın tam sıfırlanamayıp ~0.7V civarında kaldığı gözlemlenmiştir. Bu durum, diyotun yapısındaki iletim eşik geriliminden (barrier potential) kaynaklanmaktadır.

Diyotlu Mantık Devrelerinin Sınırları: Elde edilen ~0.7V'luk artık gerilim, diyotlarla kurulan mantık kapılarının (Diode Logic - DL) en büyük dezavantajı olan "sinyal zayıflamasını" kanıtlamıştır. Bu devreler arka arkaya bağlandığında (kaskat bağlantı) bu gerilim hatalarının birikeceği ve lojik 0 seviyesinin mikroişlemciler tarafından lojik 1 olarak algılanma riski taşıyacağı öğrenilmiştir. Bu nedenle günümüz dijital sistemlerinde diyotlar yerine transistör tabanlı (TTL, CMOS) kapıların kullanılmasının sebebi net bir şekilde kavranmıştır.

