

100

T.C.

BANDIRMA ONYEDİ EYLÜL ÜNİVERSİTESİ

MÜHENDİSLİK VE DOĞA BİLİMLERİ FAKÜLTESİ

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ



ELEKTRONİK 1 LABORATUVARI

ÖDEV 1: DİYOT TABANLI AND KAPISI TASARIMI VE ANALİZİ

HAZIRLAYAN: Yasemin Acar

ÖĞRENCİ NUMARASI: 2411506065

DERS YÜRÜTÜCÜSÜ: ARŞ. GÖR. YUSUF BATUHAN EVCEK

TESLİM TARİHİ: 04/06/2026

İÇİNDEKİLER

1. Devre Tasarımı	2
2. Simülasyon ve Geçici Durum Analizi	3
3. Gerilim Seviyeleri ve Yük Analizi	4
4. Sonuç	4

1. Devre Tasarımı

Bu ödev çalışmasında, sayısal elektronikte kullanılan en temel mantık kapılarından biri olan AND (VE) kapısı, ayırık yarıiletken elemanlarla tasarlanmıştır. Devre yapısı; iki adet sinyal diyodu, ana besleme gerilimine bağlı bir adet pull-up direnci, çıkış durumunu gözlemlemek amacıyla eklenen bir adet LED ve bu LED'in akımını sınırlayan seri bir dirençten oluşmaktadır.

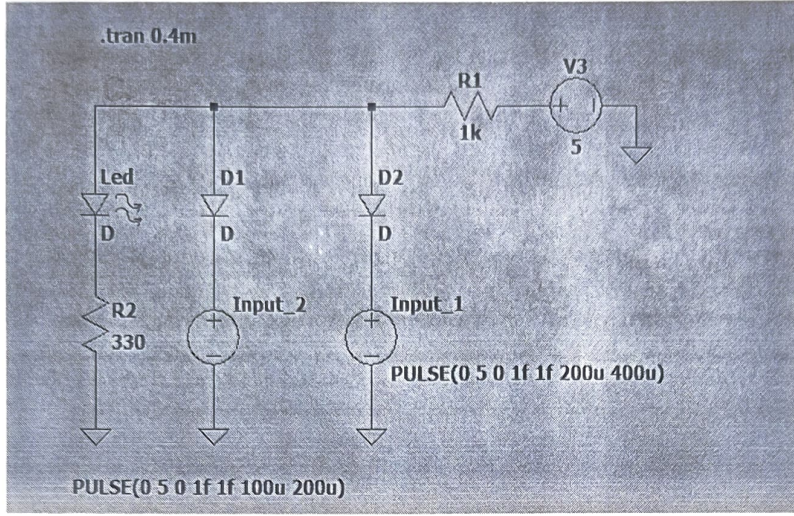
Bileşen Sınıfı	Şema Kodu	Atanan Değer / Model	Tasarım Amacı
Anahtarlama Diyotları	D1, D2	Varsayılan (İdeal)	Giriş durumlarına göre akım yönünü belirler.
Yük Direnci (Pull-up)	R1	10 k Ω	Girişler yüksekken çıkış düğümünü besler.
Çıkış Yüğü	LED1	Standart LED	Çıkıştaki lojik durumu görselleştirir.
Akım Sınırlayıcı	R2	330 Ω	LED elemanını yüksek akımdan korur.

Sayısal mantık işlevi, diyotların tek yönlü akım iletme özelliğine dayanmaktadır. Devre bağlantıları, sadece iki girişin de aynı anda yüksek seviyede (5V) olması durumunda çıkışın lojik 1 seviyesine ulaşması amacıyla tasarlanmıştır.

Tablo 1: AND Kapısı Teorik Doğruluk Tablosu

Giriş 1	Giriş 2	Çıkış	Led Durumu
0	0	0	Sönük
0	1	0	Sönük
1	0	0	Sönük
1	1	1	Yanık

Şekil 1: Diyot Tabanlı AND Kapısı Devre Şeması



Lojik 0 Durum Mekanizması: Girişlerden en az biri 0V (Lojik 0) seviyesine çekildiğinde, o kola bağlı olan diyot ileri yönlü kutuplanır ve ilettime geçer. Üstteki 5V'lık V3 besleme kaynağından çekilen akım, R1 pull-up direnci üzerinden geçtikten sonra iletimdeki diyot vasıtasıyla doğrudan düşük gerilimli giriş kaynağına akar. Akım bu yolu takip ettiği için çıkış düğümünün gerilimi sıfıra yakın bir seviyeye aşağı çekilir. Bu düşük gerilim, çıkıştaki LED'in eşik gerilimini aşmadığı için LED sönük kalır.

Lojik 1 Durum Mekanizması: İki giriş kaynağına da aynı anda 5V (Lojik 1) uygulandığında, diyotların anot ve katotları arasındaki potansiyel fark eşitlenir. Bu durum diyotları ters kutuplar, diyotlar kesime gider ve açık devre gibi davranırlar. Besleme akımı diyot kollarından akamaz ve doğrudan çıkış hattındaki LED ile 330 Ω 'luk R2 direnci üzerinden toprağa yönelir. LED üzerinden akım geçtiği için ışık verir ve çıkış mantıksal olarak yüksek seviyeye ulaşır.

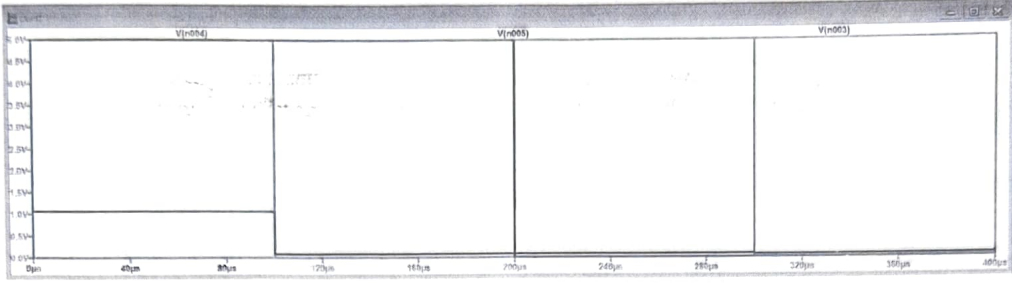
2. Simülasyon ve Geçici Durum Analizi

Devrenin tüm giriş durumlarındaki dinamik davranışını doğrulamak amacıyla LTspice programında geçici durum simülasyonu yapılmıştır. Giriş sinyallerindeki durum geçişlerini tek bir grafik ekranında görebilmek adına girişler, farklı periyotlara sahip iki bağımsız PULSE gerilim kaynağı olarak tanımlanmıştır.

1. Input_1 sinyali, 400 us periyoduna sahip bir kare dalga olarak ayarlanmıştır.
2. Input_2 sinyali ise daha hızlı değişen 200 us periyotlu bir kare dalga olarak seçilmiştir.
3. İki tam çalışma çevrimini izleyebilmek için toplam simülasyon süresi .tran 0.4m komutuyla 400 us olarak belirlenmiştir.

Giriş sinyallerinin durum değiştirme anlarında kesişim gürültüleri oluşmasını engellemek amacıyla, darbe kaynaklarının yükselme ve düşme süreleri ideal sınıra çekilerek 1f olarak girilmiştir.

Şekil 2: Giriş ve Çıkış Sinyallerinin Zamana Bağlı Grafiği



Simülasyon dalga şekilleri, zaman aralıklarına bölünerek kronolojik olarak incelenmiştir:

1. **0 - 100 μ s Aralığı:** Hem Input 1 hem de Input 2 5V (Lojik 1) seviyesindedir. Diyotlar kesimdedir ve çıkış gerilimi yüksek seviyeye ulaşarak LED'i ilettime geçirmektedir. Mantıksal AND kuralı sağlanmıştır.
2. **100 - 200 μ s Aralığı:** Input 1 sinyali 5V seviyesinde kalırken Input 2 sinyali 0V seviyesine düşmektedir. D1 diyodu ilettime geçerek çıkış gerilimini tabana çekmekte ve LED'i söndürmektedir.
3. **200 - 300 μ s Aralığı:** Input 1 sinyali 0V seviyesine inerken Input 2 sinyali 5V seviyesine çıkmaktadır. D2 diyodu ilettime geçerek çıkışı alçak lojik seviyede tutmaya devam etmektedir.
4. **300 - 400 μ s Aralığı:** İki giriş sinyali de aynı anda 0V seviyesindedir. İki diyot birden iletimde olduğu için çıkış gerilimini taban seviyesine kilitlemektedir ve LED sönmük kalmaktadır.

3. Gerilim Seviyeleri ve Yük Analizi

Simülasyonda çıkan değerleri yorumladığımızda, teorik hesaplar ile gerçek devre bileşenleri arasındaki farkları şu iki başlık altında açıklayabiliriz;

Çıkış Yüksek Seviyesi (~1.1 V): Girişlerin ikisi de yüksekken çıkışın 5V yerine 1.1V civarında sabitlenmesi, çıkışa bağlı aktif LED yük kolundan kaynaklanmaktadır. Akım nedeniyle gerilimi büyük kısmı LED eşik geriliminde harcanmakta, kalan potansiyel ise R2 direncine düşmektedir. Bu durum, aktif yüklerin yüksek durum gerilim seviyelerini sınırladığını kanıtlar.

Çıkış Düşük Seviyesi (~20 mV): Çıkışın 0V'a çok yakın (20 mV) olması, LTspice diyotlarının ideal model parametreleriyle çalışmasından kaynaklanır. Laboratuvarında gerçek 1N4148 sinyal diyotları kullanıldığında, silisyum eklemine ileri yön gerilim düşümünden dolayı bu değer 0.6V - 0.7V civarında ölçülmesi öngörülmektedir.

4. Sonuç

Bu ödev çalışmasında, sadece diyot ve direnç gibi temel elemanlar kullanılarak bir AND kapısı devresi tasarlanmış ve LTspice programında transient analiz ile test edilmiştir. Giriş kaynaklarına verilen 200 μ s ve 100 μ s'lık farklı periyotlar sayesinde, kapının sahip olduğu 4 farklı giriş durumu da tek bir grafik ekranı üzerinde net bir şekilde gözlemlenmiştir.

Simülasyon sonucunda elde edilen dalga şekillerinin, AND kapısının teorik doğruluk tablosuyla tamamen uyduğu görülmüştür. Ayrıca devre girişlerindeki pulse yükselme ve düşme sürelerinin 1f olarak ayarlanması, grafikte oluşabilecek anlık kesişim çizgilerini engellemiş ve temiz bir çıktı alınmasını sağlamıştır. Bu çalışma sayesinde, devre çıkışına bağlanan LED yükünün çıkış yüksek seviyesini nasıl sınırladığı ve ideal diyot modelinin simülasyon üzerindeki etkileri deneysel olarak anlaşılmıştır.